

PATENT
81754.0120

Express Mail Label No. EV 325 215 249 US

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Yoshiharu OGATA

Serial No: Not assigned

Filed: March 29, 2004

For: Semiconductor Device, Electronic Device,
Electronic Appliance, and Method of
Manufacturing a Semiconductor Device

Art Unit: Not assigned

Examiner: Not assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

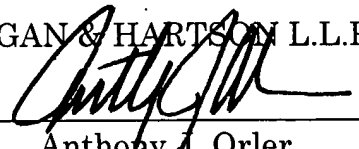
Enclosed herewith is a certified copy of Japanese patent application No. 2003-095975 which was filed March 31, 2003, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

HOGAN & HARTSON L.L.P.

Date: March 29, 2004

By: 
Anthony J. Orler
Registration No. 41,232
Attorney for Applicant(s)

500 South Grand Avenue, Suite 1900
Los Angeles, California 90071
Telephone: 213-337-6700
Facsimile: 213-337-6701

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月31日
Date of Application:

出願番号 特願2003-095975
Application Number:
[ST. 10/C]: [JP 2003-095975]

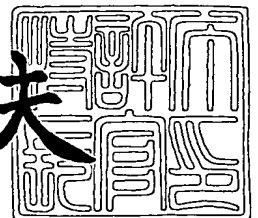
出願人 セイコーエプソン株式会社
Applicant(s):



2003年11月18日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3094975



【書類名】 特許願

【整理番号】 J0098513

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/056

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 尾形 義春

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤綱 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1



【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 導電性ワイヤ接続用の端子が設けられた基材と、
前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第 1 半導体チップと、

裏面に突出部が形成され、前記突出部を介して前記第 1 半導体チップ上に固着された第 2 半導体チップとを備えることを特徴とする半導体装置。

【請求項 2】 前記突出部を介して前記第 1 半導体チップ上に前記第 2 半導体チップを固着する絶縁性樹脂をさらに備えることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記絶縁性樹脂にはフィラーが混入されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記絶縁性樹脂は、前記突出部が設けられた段差部分の少なくとも一部の領域に充填されていることを特徴とする請求項 2 または 3 記載の半導体装置。

【請求項 5】 導電性ワイヤ接続用の端子が設けられた基材と、
前記基材上にフェースアップ実装された第 1 半導体チップと、
前記第 1 半導体チップに設けられた第 1 電極パッドと、
前記第 1 電極パッドと前記基材に設けられた端子とを電氣的に接続する第 1 導電性ワイヤと、

裏面に突出部が形成された第 2 半導体チップと、
前記第 2 半導体チップに設けられた第 2 電極パッドと、
前記第 1 半導体チップ上の第 1 導電性ワイヤを包み込むようにして、前記突出部を介して前記第 1 半導体チップを前記第 2 半導体チップ上に固着させる絶縁性樹脂と、

前記第 2 電極パッドと前記基材に設けられた端子とを電氣的に接続する第 2 導電性ワイヤと、

前記第 1 導電性ワイヤが接続された第 1 半導体チップおよび前記第 2 導電性ワイヤが接続された第 2 半導体チップを封止する封止樹脂とを備えることを特徴とする半導体装置。

【請求項 6】 導電性ワイヤ接続用の端子が設けられた基材と、
前記基材上にフェースアップ実装された第 1 半導体チップと、
前記第 1 半導体チップに設けられた第 1 電極パッドと、
前記第 1 電極パッドと前記基材に設けられた端子とを電氣的に接続する第 1 導電性ワイヤと、

裏面に突出部が形成された第 2 半導体チップと、
前記第 2 半導体チップに設けられた第 2 電極パッドと、
少なくとも前記第 2 電極パッド下に存在するようにして前記第 1 半導体チップと前記第 2 半導体チップとの間に設けられ、前記突出部を介して前記第 1 半導体チップを前記第 2 半導体チップ上に固着させる絶縁性樹脂と、

前記第 2 電極パッドと前記基材に設けられた端子とを電氣的に接続する第 2 導電性ワイヤとを備えることを特徴とする半導体装置。

【請求項 7】 前記突出部を含む第 2 半導体チップの裏面全体に形成された絶縁層をさらに備えることを特徴とする請求項 1～6 のいずれか 1 項記載の半導体装置。

【請求項 8】 前記突出部の少なくとも一部の領域は、前記突出部の形成面に近づくにつれ広がる形状を有していることを特徴とする請求項 1～7 のいずれか 1 項記載の半導体装置。

【請求項 9】 前記第 2 半導体チップのサイズは前記第 1 半導体チップのサイズよりも大きいことを特徴とする請求項 1～8 のいずれか 1 項記載の半導体装置。

【請求項 10】 導電性ワイヤ接続用の端子が設けられた基材と、
前記基材上にフリップチップ実装された第 1 半導体チップと、
接着層を介して前記第 1 半導体チップ上にフェースアップ実装された第 2 半導体チップと、
前記基材に設けられた端子と前記第 2 半導体チップとを電氣的に接続する第 1

導電性ワイヤと、

裏面に突出部が形成され、前記突出部を介して前記第2半導体チップ上に固着された第3半導体チップと、

前記基材に設けられた端子と前記第3半導体チップとを電氣的に接続する第2導電性ワイヤとを備えることを特徴とする半導体装置。

【請求項11】 導電性ワイヤ接続用の端子が設けられた基材と、

前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第1電子部品と、

裏面に突出部が形成され、前記突出部を介して前記第1電子部品上に固着された第2電子部品とを備えることを特徴とする電子デバイス。

【請求項12】 導電性ワイヤ接続用の端子が設けられた基材と、

前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第1半導体チップと、

裏面に突出部が形成され、前記突出部を介して前記第1半導体チップ上に固着された第2半導体チップと、

前記基材を介して前記第1半導体チップおよび前記第2半導体チップに電氣的に接続された電子部品とを備えることを特徴とする電子機器。

【請求項13】 導電性ワイヤ接続用の端子が設けられた基材上に第1半導体チップをマウントする工程と、

前記基材上にマウントされた第1半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、

裏面に突出部が形成された第2半導体チップを前記第1半導体チップ上に固着する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項14】 導電性ワイヤ接続用の端子が設けられた基材上に第1半導体チップをマウントする工程と、

前記基材上にマウントされた第1半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、

前記第1半導体チップ上に絶縁性樹脂を配置する工程と、

第2半導体チップの裏面に形成された突出部を前記絶縁性樹脂に押し当てるこ

とにより、前記第 2 半導体チップを前記第 1 半導体チップ上に固着する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 15】 表面がスクライブラインで区画されたウェハの裏面をハーフカットすることにより、前記スクライブラインに対向配置された溝を前記ウェハの裏面に形成する工程と、

前記スクライブラインに沿って前記溝を切断することにより、裏面に突出部が形成された前記第 2 半導体チップを形成する工程とをさらに備えることを特徴とする請求項 13 または 14 記載の半導体装置の製造方法。

【請求項 16】 前記ハーフカットは、先端が丸みを帯びたブレードによるダイシング、等方性エッチングまたはレーザ加工により行われることを特徴とする請求項 15 記載の半導体装置の製造方法。

【請求項 17】 前記溝が形成されたウェハの裏面に絶縁膜を成膜する工程をさらに備えることを特徴とする請求項 15 または 16 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、電子デバイス、電子機器および半導体装置の製造方法に関し、特に、半導体チップの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、例えば、特許文献 1 に開示されているように、半導体チップの 3 次元実装構造を実現するため、積層された半導体チップをワイヤボンダ接続する方法があった。

図 11 は、従来の半導体装置の概略構成を示す断面図である。

【0003】

図 11 において、キャリア基板 101 の表面には導電性ワイヤ 104d、105d を接続するランド 102 が設けられるとともに、キャリア基板 101 の裏面には突出電極 103 が設けられている。また、半導体チップ 104a、105a

には、導電性ワイヤ104d、105dを接続する電極パッド104b、105bがそれぞれ設けられている。そして、キャリア基板101上には、接着層104cを介して半導体チップ104aがフェースアップ実装されている。さらに、半導体チップ104a上には、接着層106b、106cが両面にそれぞれ設けられたミラーチップ106aを介して、半導体チップ105aがフェースアップ実装されている。ここで、ミラーチップ106aは、半導体チップ104aに設けられた電極パッド104bを避けるようにして、半導体チップ104a、105a間に配置されている。

【0004】

そして、キャリア基板101上に実装された半導体チップ104aは、導電性ワイヤ104dを介してキャリア基板101のランド102に電氣的に接続されるとともに、ミラーチップ106aを介して半導体チップ104a上に積層された半導体チップ104bは、導電性ワイヤ105dを介してキャリア基板101のランド102に電氣的に接続されている。そして、導電性ワイヤ104d、105dがそれぞれ接続された半導体チップ104a、105aは、封止樹脂107により封止されている。

【0005】

ここで、半導体チップ104a、105a間にミラーチップ106aを配置することにより、半導体チップ104a、105a間の間隔を増加させることができる。このため、下層の半導体チップ104aに接続される導電性ワイヤ104dが上層の半導体チップ105aに接触することを防止することができ、サイズが等しい半導体チップ104a、105aを積層した場合においても、下層の半導体チップ104aをワイヤボンダ接続することが可能となる。

【0006】

【特許文献1】

特開2000-101016号公報

【0007】

【発明が解決しようとする課題】

しかしながら、図11の半導体装置では、下層の半導体チップ104aをワイ

ワイヤボンダ接続するために、半導体チップ104a、105a間にミラーチップ106aを配置する必要がある、工程数が増大するとともに、コストアップを招くという問題があった。

【0008】

そこで、本発明の目的は、工程数の増大を抑制しつつ、積層される半導体チップ間の間隔を増大させることが可能な半導体装置、電子デバイス、電子機器および半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電気的に接続された第1半導体チップと、裏面に突出部が形成され、前記突出部を介して前記第1半導体チップ上に固着された第2半導体チップとを備えることを特徴とする。

【0010】

これにより、第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップと間の間隔を一定に保つことを可能としつつ、第1半導体チップと第2半導体チップとを固定することが可能となる。このため、工程数の増大を抑制しつつ、第1半導体チップと第2半導体チップと間の間隔を増大させることが可能となり、第1半導体チップと第2半導体チップとのサイズが等しい場合においても、第1半導体チップをワイヤボンダ接続することが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記突出部を介して前記第1半導体チップ上に前記第2半導体チップを固着する絶縁性樹脂をさらに備えることを特徴とする。

これにより、絶縁性樹脂を介して第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップとの間の絶縁性を確保することが可能となるとともに、工程数の増大を抑制しつつ、第1半導体チップ上に

第2半導体チップを固着することが可能となる。

【0012】

また、本発明の一態様に係る半導体装置によれば、前記絶縁性樹脂にはフィラーが混入されていることを特徴とする。

これにより、絶縁性樹脂の吸水性を低下させることが可能となるとともに、絶縁性樹脂の線膨張係数を半導体チップに近づけることが可能となり、絶縁性樹脂による応力を緩和することを可能として、半導体装置の信頼性を向上させることが可能となる。

【0013】

また、本発明の一態様に係る半導体装置によれば、前記絶縁性樹脂は、前記突出部が設けられた段差部分の少なくとも一部の領域に充填されていることを特徴とする。

これにより、第2半導体チップの裏面に突出部を形成したために、第2半導体チップの端部が薄型化した場合においても、薄型化された第2半導体チップの端部を絶縁性樹脂で補強することができる。

【0014】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装された第1半導体チップと、前記第1半導体チップに設けられた第1電極パッドと、前記第1電極パッドと前記基材に設けられた端子とを電氣的に接続する第1導電性ワイヤと、裏面に突出部が形成された第2半導体チップと、前記第2半導体チップに設けられた第2電極パッドと、前記第1半導体チップ上の第1導電性ワイヤを包み込むようにして、前記突出部を介して前記第1半導体チップを前記第2半導体チップ上に固着させる絶縁性樹脂と、前記第2電極パッドと前記基材に設けられた端子とを電氣的に接続する第2導電性ワイヤと、前記第1導電性ワイヤが接続された第1半導体チップおよび前記第2導電性ワイヤが接続された第2半導体チップを封止する封止樹脂とを備えることを特徴とする。

【0015】

これにより、絶縁性樹脂を介して第1半導体チップ上に第2半導体チップを積

層することで、第1半導体チップと第2半導体チップと間の間隔を一定に保つことを可能としつつ、第1半導体チップ上の第1導電性ワイヤを絶縁性樹脂で固定することが可能となる。このため、第1導電性ワイヤが接続された第1半導体チップが樹脂封止される場合においても、封止樹脂の注入圧力で第1導電性ワイヤが変形することを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンダ接続された第1半導体チップ上に第2半導体チップを積層することが可能となるとともに、第1導電性ワイヤの異常接触を防止することが可能となる。

【0016】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装された第1半導体チップと、前記第1半導体チップに設けられた第1電極パッドと、前記第1電極パッドと前記基材に設けられた端子とを電氣的に接続する第1導電性ワイヤと、裏面に突出部が形成された第2半導体チップと、前記第2半導体チップに設けられた第2電極パッドと、少なくとも前記第2電極パッド下に存在するようにして前記第1半導体チップと前記第2半導体チップとの間に設けられ、前記突出部を介して前記第1半導体チップを前記第2半導体チップ上に固着させる絶縁性樹脂と、前記第2電極パッドと前記基材に設けられた端子とを電氣的に接続する第2導電性ワイヤとを備えることを特徴とする。

【0017】

これにより、絶縁性樹脂を介して第1半導体チップ上に第2半導体チップを積層することで、第1半導体チップと第2半導体チップと間の間隔を一定に保つことを可能としつつ、第2電極パッドの形成領域を絶縁性樹脂で支えることが可能となる。このため、第2電極パッド上に第2導電性ワイヤが接続される場合においても、ワイヤボンダ時の超音波振動で第2半導体チップが破壊されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンダ接続された第1半導体チップ上に第2半導体チップを積層することが可能となるとともに、ワイヤボンダを安定して行うことが可能となる。

【0018】

また、本発明の一態様に係る半導体装置によれば、前記突出部を含む第2半導

体チップの裏面全体に形成された絶縁層をさらに備えることを特徴とする。

これにより、第1半導体チップに接続された第1導電性ワイヤの高さが高くなった場合においても、第1導電性ワイヤが第2半導体チップの裏面とショートすることを防止することができ、ワイヤボンダ接続された第1半導体チップ上に第2半導体チップを安定して積層することが可能となる。

【0019】

また、本発明の一態様に係る半導体装置によれば、前記突出部の少なくとも一部の領域は、前記突出部の形成面に近づくにつれ広がる形状を有していることを特徴とする。

これにより、第2半導体チップの裏面に突出部を形成したために、第2半導体チップの端部が薄型化した場合においても、第2半導体チップの端部にかかる応力を効率よく逃がすことが可能となる。このため、第1導電性ワイヤが第2半導体チップの裏面に接触することを防止しつつ、第2半導体チップの端部の強度を向上させることが可能となる。

【0020】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体チップのサイズは前記第1半導体チップのサイズよりも大きいことを特徴とする。

これにより、製造工程を複雑化させることなく、第1半導体チップから引き出された導電性ワイヤ上にも第2半導体チップを配置することが可能となり、半導体チップ実装時の省スペース化を図ることが可能となる。

【0021】

また、本発明の一態様に係る半導体装置によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフリップチップ実装された第1半導体チップと、接着層を介して前記第1半導体チップ上にフェースアップ実装された第2半導体チップと、前記基材に設けられた端子と前記第2半導体チップとを電氣的に接続する第1導電性ワイヤと、裏面に突出部が形成され、前記突出部を介して前記第2半導体チップ上に固着された第3半導体チップと、前記基材に設けられた端子と前記第3半導体チップとを電氣的に接続する第2導電性ワイヤとを備えることを特徴とする。

【0022】

これにより、第2半導体チップ上に第3半導体チップを積層することで、第2半導体チップと第3半導体チップと間の間隔を一定に保つことを可能としつつ、第2半導体チップと第3半導体チップとを固定することが可能となるとともに、高さの増大を抑制しつつ、第2半導体チップと基材との間に第1半導体チップを介装することが可能となる。このため、工程数の増大を抑制しつつ、ワイヤボンダ接続された第2半導体チップ上に第3半導体チップを積層することが可能となるとともに、省スペース化を可能としつつ、半導体チップの積層数を増加させることが可能となる。

【0023】

また、本発明の一態様に係る電子デバイスによれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第1電子部品と、裏面に突出部が形成され、前記突出部を介して前記第1電子部品上に固着された第2電子部品とを備えることを特徴とする。

【0024】

これにより、第1電子部品上に第2電子部品を積層することで、第1電子部品と第2電子部品と間の間隔を一定に保つことを可能としつつ、第1電子部品と第2電子部品とを固定することが可能となる。このため、工程数の増大を抑制しつつ、第1電子部品と第2電子部品と間の間隔を増大させることが可能となり、第1電子部品と第2電子部品とのサイズが等しい場合においても、第1電子部品をワイヤボンダ接続することが可能となる。

【0025】

また、本発明の一態様に係る電子機器によれば、導電性ワイヤ接続用の端子が設けられた基材と、前記基材上にフェースアップ実装され、導電性ワイヤにより前記基材に設けられた端子と電氣的に接続された第1半導体チップと、裏面に突出部が形成され、前記突出部を介して前記第1半導体チップ上に固着された第2半導体チップと、前記基材を介して前記第1半導体チップおよび前記第2半導体チップに電氣的に接続された電子部品とを備えることを特徴とする。

【0026】

これにより、工程数の増大を抑制しつつ、ワイヤボンダ接続された半導体チップの積層構造を実現することが可能となり、電子機器のコストダウンを図ることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、導電性ワイヤ接続用の端子が設けられた基材上に第1半導体チップをマウントする工程と、前記基材上にマウントされた第1半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、裏面に突出部が形成された第2半導体チップを前記第1半導体チップ上に固着する工程とを備えることを特徴とする。

【0027】

これにより、第1半導体チップに接続された導電性ワイヤが第2半導体チップに接触することを防止しつつ、ワイヤボンダ接続された第1半導体チップ上に第2半導体チップを積層することが可能となり、ワイヤボンダ接続された半導体チップの積層構造のコストダウンを図ることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、導電性ワイヤ接続用の端子が設けられた基材上に第1半導体チップをマウントする工程と、前記基材上にマウントされた第1半導体チップと前記基材に設けられた端子とを導電性ワイヤで接続する工程と、前記第1半導体チップ上に絶縁性樹脂を配置する工程と、第2半導体チップの裏面に形成された突出部を前記絶縁性樹脂に押し当てることにより、前記第2半導体チップを前記第1半導体チップ上に固着する工程とを備えることを特徴とする。

【0028】

これにより、第1半導体チップ上に第2半導体チップを積層することで、絶縁性樹脂が突出部から食み出すことを可能としつつ、第1半導体チップ上に第2半導体チップを固着することが可能となる。このため、第1半導体チップ上に第2半導体チップを固着することを可能としつつ、突出部が設けられた第2半導体チップの裏面の段差部分に絶縁性樹脂を充填することが可能となり、工程数の増大を抑制しつつ、第2半導体チップの端部の強度を向上させることが可能となるとともに、第1導電性ワイヤが第1半導体チップの裏面に接触することを防止する

ことが可能となる。

【0029】

また、本発明の一態様に係る半導体装置の製造方法によれば、表面がスクライブラインで区画されたウェハの裏面をハーフカットすることにより、前記スクライブラインに対向配置された溝を前記ウェハの裏面に形成する工程と、前記スクライブラインに沿って前記溝を切断することにより、裏面に突出部が形成された前記第2半導体チップを形成する工程とをさらに備えることを特徴とする。

【0030】

これにより、複数の半導体チップの裏面に突出部を一括形成することが可能となり、製造工程の煩雑化を抑制しつつ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを安定して積層することが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、前記ハーフカットは、先端が丸みを帯びたブレードによるダイシング、等方性エッチングまたはレーザ加工により行われることを特徴とする。

【0031】

これにより、半導体チップの裏面に形成される突出部にアール形状を持たせることを可能としつつ、半導体チップの裏面の突出部を一括形成することが可能となる。このため、半導体チップの裏面に突出部を形成したために、半導体チップの端部が薄型化した場合においても、製造工程の煩雑化を抑制しつつ、第2半導体チップの端部の強度を向上させることが可能となり、ワイヤボンド接続された半導体チップの積層構造を安定して製造することが可能となる。

【0032】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記溝が形成されたウェハの裏面に絶縁膜を成膜する工程をさらに備えることを特徴とする。

これにより、突出部が形成される複数の半導体チップの裏面全体に絶縁膜を一括形成することが可能となる。このため、第1導電性ワイヤが第2半導体チップの裏面とショートすることを防止するために、各第2半導体チップに個別に絶縁膜を形成する必要がなくなり、製造工程の煩雑化を抑制しつつ、ワイヤボンド接続された第1半導体チップ上に第2半導体チップを安定して積層することが可能

となる。

【0033】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置およびその製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の概略構成を示す断面図である。

【0034】

図1において、キャリア基板1の表面には導電性ワイヤ4d、5dを接続するランド2が設けられるとともに、キャリア基板1の裏面には突出電極3が設けられている。なお、キャリア基板1としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板1の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極3としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができる。

【0035】

また、半導体チップ4a、5aには、導電性ワイヤ4d、5dを接続する電極パッド4b、5bがそれぞれ設けられ、半導体チップ5aの裏面には、半導体チップ5aに一体的に形成された突出部5eが設けられている。なお、半導体チップ5aの厚みは、例えば、50～200 μ m程度の範囲、突出部5eの高さは、例えば、30～150 μ m程度の範囲に設定することができる。また、導電性ワイヤ4d、5dとしては、例えば、AuワイヤやAlワイヤなどを用いることができる。

【0036】

そして、キャリア基板1上には、接着層4cを介して半導体チップ4aがフェースアップ実装されている。さらに、半導体チップ4a上には、突出部5eを介して半導体チップ5aがフェースアップ実装され、突出部5eは、絶縁性樹脂5

cにより半導体チップ4 a上に固着されている。なお、絶縁性樹脂5 cとしては、ペースト状樹脂またはシート状樹脂を用いることができ、例えば、エポキシ系樹脂、アクリル系樹脂またはマレイミド系樹脂などを用いることができる。また、絶縁性樹脂5 cには、シリカやアルミナなどのフィラーが混入されるようにしてもよい。これにより、絶縁性樹脂5 cの吸水性を低下させることが可能となるとともに、絶縁性樹脂5 cの線膨張係数を半導体チップ4 a、5 aに近づけることが可能となり、絶縁性樹脂5 cによる応力を緩和することを可能として、半導体装置の信頼性を向上させることが可能となる。

【0037】

そして、キャリア基板1上に実装された半導体チップ4 aは、導電性ワイヤ4 dを介してキャリア基板1のランド2に電氣的に接続されるとともに、突出部5 eを介して半導体チップ4 a上に積層された半導体チップ5 aは、導電性ワイヤ5 dを介してキャリア基板1のランド2に電氣的に接続されている。そして、導電性ワイヤ4 d、5 dがそれぞれ接続された半導体チップ4 a、5 aは、封止樹脂6により封止されている。

【0038】

ここで、突出部5 eの高さは、半導体チップ4 a上に半導体チップ5 aを積層した場合、導電性ワイヤ4 dが半導体チップ5 aの裏面に接触しないように設定することができる。また、突出部5 eは、半導体チップ4 aに接続された導電性ワイヤ4 dを避けるように、半導体チップ4 a上に配置することができる。

これにより、半導体チップ4 a上に半導体チップ5 aを積層することで、半導体チップ5 aの裏面に導電性ワイヤ4 dが接触することを防止しつつ、半導体チップ4 a、5 aを固定することが可能となる。このため、半導体チップ4 a、5 aのサイズが等しい場合においても、工程数の増大を抑制しつつ、導電性ワイヤ4 dが接続された半導体チップ4 a上に半導体チップ5 aを積層することが可能となる。

【0039】

また、絶縁性樹脂5 cにより突出部5 eを半導体チップ4 a上に固着する場合、半導体チップ4 a上に配置された絶縁性樹脂5 cを突出部5 eの周囲に食み出

させることにより、突出部 5 e が形成された半導体チップ 5 a の裏面の段差部分に絶縁性樹脂 6 を充填し、半導体チップ 4 a 上の導電性ワイヤ 4 d を包み込ませることができる。

【0040】

これにより、半導体チップ 4 a、5 a 間の間隔を一定に保つことを可能としつつ、半導体チップ 4 a 上の導電性ワイヤ 4 d を絶縁性樹脂 5 e で固定することが可能となる。このため、導電性ワイヤ 4 d が接続された半導体チップ 4 a が樹脂封止される場合においても、封止樹脂 6 の注入圧力で導電性ワイヤ 4 d が流されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンダ接続された半導体チップ 4 a 上に半導体チップ 5 a を積層することが可能となるとともに、導電性ワイヤ 4 d の異常接触を防止することが可能となる。

【0041】

また、半導体チップ 5 a の電極パッド 5 b 下にも絶縁性樹脂 6 が存在するように、半導体チップ 4 a、5 a 間に絶縁性樹脂 6 を充填することができる。これにより、半導体チップ 4 a、5 a 間の間隔を一定に保つことを可能としつつ、電極パッド 5 b の形成領域を絶縁性樹脂 6 で支えることが可能となる。このため、電極パッド 5 b 上に導電性ワイヤ 5 d が接続される場合においても、ワイヤボンダ時の超音波振動で半導体チップ 5 a が破壊されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンダ接続された半導体チップ 4 a 上に半導体チップ 5 a を積層することが可能となるとともに、ワイヤボンダを安定して行うことが可能となる。

【0042】

図 2 は、図 1 の半導体装置の製造方法を示す断面図である。

図 2 (a) において、接着層 4 c を介し、半導体チップ 4 a をキャリア基板 1 上にフェースアップ実装する。そして、キャリア基板 1 上にフェースアップ実装された半導体チップ 4 a のワイヤボンダを行うことにより、ランド 2 と電極パッド 4 b とを導電性ワイヤ 4 d で接続する。

【0043】

次に、図 2 (b) に示すように、導電性ワイヤ 4 d が接続された半導体チップ

4 a 上に絶縁性樹脂 5 c を配置する。なお、絶縁性樹脂 5 c を半導体チップ 4 a 上に配置する場合、例えば、ディスペンサなどを用いることができる。

次に、図 2 (c) に示すように、突出部 5 e が形成された半導体チップ 5 a の裏面を絶縁性樹脂 6 に押し当てながら、半導体チップ 5 a を半導体チップ 4 a 上にフェースアップ実装する。ここで、半導体チップ 4 a 上に配置される絶縁性樹脂 5 c の量を調整し、半導体チップ 5 a を半導体チップ 4 a 上に実装した際に、半導体チップ 4 a 上に配置された絶縁性樹脂 5 c が突出部 5 e の周囲に食み出すようにすることができる。

【0044】

これにより、半導体チップ 5 a を半導体チップ 4 a 上に実装することで、突出部 5 e が形成された半導体チップ 5 a の裏面の段差部分に絶縁性樹脂 6 を充填することができる。このため、工程数を増加させることなく、半導体チップ 4 a 上の導電性ワイヤ 4 d を絶縁性樹脂 6 で包み込んだり、半導体チップ 5 a の電極パッド 5 b 下を絶縁性樹脂 6 で補強したりすることができる。

【0045】

そして、突出部 5 e を介して半導体チップ 5 a が半導体チップ 4 a 上に積層された状態で、絶縁性樹脂 6 を硬化させる。そして、半導体チップ 4 a 上にフェースアップ実装された半導体チップ 5 a のワイヤボンドを行うことにより、ランド 2 と電極パッド 5 b とを導電性ワイヤ 5 d で接続する。ここで、電極パッド 5 b の配置位置に対応して、半導体チップ 5 a の裏面に絶縁性樹脂 5 c を充填することにより、半導体チップ 5 a の電極パッド 5 b 下を絶縁性樹脂 5 c で補強することが可能となる。このため、電極パッド 5 b 上に導電性ワイヤ 5 d が接続される場合においても、ワイヤボンド時の超音波振動で半導体チップ 5 a が破壊されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンドを安定して行うことが可能となる。

【0046】

なお、絶縁性樹脂 5 c を介して半導体チップ 4 a 上に半導体チップ 5 a を固着する場合、例えば、ACF (Anisotropic Conductive Film) 接合、NCF (Nonconductive Film) 接合、AC

P (Anisotropic Conductive Paste) 接合、NC P (Nonconductive Paste) 接合などの接着剤接合を用いるようにしてもよい。

【0047】

次に、図1に示すように、トランスファーモールドなどの方法により、導電性ワイヤ4 d、5 dでそれぞれ接続された半導体チップ4 a、5 aを封止樹脂6で封止する。ここで、半導体チップ4 a上の導電性ワイヤ4 dが包み込まれるように、半導体チップ5 aの裏面に絶縁性樹脂5 cを充填することにより、半導体チップ4 a上の導電性ワイヤ4 dを絶縁性樹脂5 cで固定することが可能となる。このため、導電性ワイヤ4 dが接続された半導体チップ4 aが樹脂封止される場合においても、封止樹脂6の注入圧力で導電性ワイヤ4 dが流されることを防止することが可能となり、工程数の増大を抑制しつつ、ワイヤボンダ接続された半導体チップ上4 aに半導体チップ5 aを積層することが可能となるとともに、導電性ワイヤ4 dの異常接触を防止することが可能となる。

【0048】

なお、半導体チップ4 a、5 a間に絶縁性樹脂5 cを設ける場合、絶縁性樹脂5 cを半導体チップ4 a上に配置する代わりに、印刷またはディッピングなどの方法により、突出部5 eに絶縁性樹脂5 cを付着させるようにしてもよい。

図3は、図1の半導体装置の突出部の製造方法を示す断面図である。

図3 (a) において、半導体ウェハ11の表面はスクライブラインSB1～SB4で区画され、スクライブラインSB1～SB4で区画された各区画領域には、能動面がそれぞれ形成されるとともに、電極パッド12 a～12 cがそれぞれ設けられている。そして、半導体ウェハ11上に形成された能動面を避けるようにして、半導体ウェハ11に開口部13を形成する。

【0049】

次に、図3 (b) に示すように、開口部13が形成された半導体ウェハ11の裏面11'を研削することにより、半導体ウェハ11を薄型化し、開口部13を貫通させることで、貫通孔13'を半導体ウェハ11に形成する。なお、開口部13は予め貫通していてもよい。

次に、図3(c)に示すように、貫通孔13'が形成された半導体ウェハ11の能動面側にダイシングテープ14を貼り付ける。そして、貫通孔13'を参照しながらブレード15の位置合わせを行うことにより、ブレード15の中央がスクライブラインSB1～SB4の位置に対応するように配置する。そして、ブレード15を用いて半導体ウェハ11の裏面をハーフカットすることにより、半導体ウェハ11の裏面に溝を形成し、スクライブラインSB1～SB4で区画された各区画領域に突出部16a～16cを形成する。なお、半導体ウェハ11の能動面側を見ながら、半導体ウェハ11の裏面でブレード15の位置合わせができるダイシング装置を用いる場合、貫通孔13'は必ずしも形成する必要はない。

【0050】

ここで、半導体ウェハ11の裏面に形成される溝の深さは、突出部16a～16cが形成された半導体チップ11a～11cを、ワイヤボンダ接続された下層の半導体チップ上に積層した場合、下層の半導体チップに接続された導電性ワイヤが、半導体チップ11a～11cの裏面に接触しないように設定することができる。また、ブレード15の幅は、下層の半導体チップに接続された導電性ワイヤを避けながら、突出部16a～16cが形成された半導体チップ11a～11cを下層の半導体チップ上に配置することができるよう設定することができる。

【0051】

次に、図3(d)に示すように、突出部16a～16cが形成された半導体ウェハ11からダイシングテープ14を剥がし、突出部16a～16cを介して半導体ウェハ11の裏面側にダイシングテープ17に貼り付ける。

次に、図3(e)に示すように、ブレード15よりも幅の小さなブレード18を用い、スクライブラインSB1～SB4に沿って半導体ウェハ11のフルカットを行うことにより、突出部16a～16cが裏面にそれぞれ形成された半導体チップ11a～11cを形成する。

【0052】

これにより、複数の半導体チップ11a～11cの裏面に突出部16a～16cをそれぞれ一括形成することが可能となり、製造工程の煩雑化を抑制しつつ、

ワイヤボンド接続された下層の半導体チップ上に半導体チップ11a~11cを安定して積層することが可能となる。

なお、突出部16a~16cが設けられた半導体チップ11a~11cを形成する場合、ブレード18によりスクライブラインSB1~SB4に沿って半導体ウェハ11表面のハーフカットを行った後、ブレード15により半導体ウェハ11の裏面のハーフカットを行うようにしてもよい。

【0053】

図4は、本発明の第2実施形態に係る半導体装置の概略構成を示す断面図である。

図4において、キャリア基板21の表面には導電性ワイヤ24d、25dを接続するランド22が設けられるとともに、キャリア基板21の裏面には突出電極23が設けられている。また、半導体チップ24a、25aには、導電性ワイヤ24d、25dを接続する電極パッド24b、25bがそれぞれ設けられ、半導体チップ25aの裏面には、半導体チップ25aに一体的に形成された突出部25eが設けられている。そして、突出部25eを含む半導体チップ25aの裏面全体には絶縁層25eが形成されている。なお、絶縁層25eとしては、例えば、シリコン酸化膜やシリコン窒化膜などを用いることができる。

【0054】

ここで、突出部25eを含む半導体チップ25aの裏面全体に絶縁層25eを形成することにより、半導体チップ24aに接続された導電性ワイヤ24dの高さが高くなった場合においても、導電性ワイヤ24dが半導体チップ25aの裏面とショートすることを防止することができる。

そして、キャリア基板21上には、接着層24cを介して半導体チップ24aがフェースアップ実装されている。さらに、半導体チップ24a上には、突出部25eを介して半導体チップ25aがフェースアップ実装され、突出部25eは、絶縁性樹脂25cにより半導体チップ24a上に固着されている。ここで、絶縁性樹脂25cが突出部25eの周囲に食み出すようにすることにより、突出部25eが形成された半導体チップ25aの裏面の段差部分に絶縁性樹脂25cを充填し、半導体チップ24a上の導電性ワイヤ24dを絶縁性樹脂25cで包み

込んだり、半導体チップ25aの電極パッド25b下を絶縁性樹脂25cで補強したりすることができる。

【0055】

そして、キャリア基板21上に実装された半導体チップ24aは、導電性ワイヤ24dを介してキャリア基板21のランド22に電氣的に接続されるとともに、突出部25eを介して半導体チップ24a上に積層された半導体チップ25aは、導電性ワイヤ25dを介してキャリア基板21のランド22に電氣的に接続されている。そして、導電性ワイヤ24d、25dがそれぞれ接続された半導体チップ24a、25aは封止樹脂26により封止されている。

【0056】

なお、突出部25eの高さは、半導体チップ24a上に半導体チップ25aを積層した場合、導電性ワイヤ24dが半導体チップ25aの裏面に接触しないように設定することができる。また、突出部25eは、半導体チップ24aに接続された導電性ワイヤ24dを避けるように、半導体チップ24a上に配置することができる。

【0057】

図5は、図4の半導体装置の突出部の製造方法を示す断面図である。

図5(a)において、半導体ウェハ31の表面はスクライブラインSB11～SB14で区画され、スクライブラインSB11～SB14で区画された各区画領域には、能動面がそれぞれ形成されるとともに、電極パッド32a～32cがそれぞれ設けられている。また、半導体ウェハ31には、半導体ウェハ31上に形成された能動面を避けるようにして、貫通孔33が形成されている。

【0058】

そして、貫通孔33が形成された半導体ウェハ31の能動面側にダイシングテープ34を貼り付ける。そして、貫通孔33を参照しながらブレード35の位置合わせを行うことにより、ブレード35の中央がスクライブラインSB11～SB14の位置に対応するように配置する。そして、ブレード35を用いて半導体ウェハ31の裏面をハーフカットすることにより、半導体ウェハ31の裏面に溝を形成し、スクライブラインSB11～SB14で区画された各区画領域に突出

部 36a ~ 36c を形成する。

【0059】

ここで、半導体ウェハ 31 の裏面に形成される溝の深さは、突出部 36a ~ 36c が形成された半導体チップ 31a ~ 31c を、ワイヤボンダ接続された下層の半導体チップ上に積層した場合、下層の半導体チップに接続された導電性ワイヤが、半導体チップ 31a ~ 31c の裏面に接触しないように設定することができる。また、ブレード 35 の幅は、下層の半導体チップに接続された導電性ワイヤを避けながら、突出部 36a ~ 36c が形成された半導体チップ 31a ~ 31c を下層の半導体チップ上に配置することができるように設定することができる。

【0060】

次に、図 5 (b) に示すように、例えば、CVD などの方法により、突出部 36a ~ 36c の表面を含む半導体ウェハ 31 の裏面全体に絶縁層 39 を形成する。

次に、図 5 (c) に示すように、突出部 36a ~ 36c が形成された半導体ウェハ 31 からダイシングテープ 34 を剥がし、突出部 36a ~ 36c を介して半導体ウェハ 31 の裏面側にダイシングテープ 37 を貼り付ける。

【0061】

次に、図 5 (d) に示すように、ブレード 35 よりも幅の小さなブレード 38 を用い、スクライブライン SB11 ~ SB14 に沿って半導体ウェハ 31 のフルカットを行うことにより、突出部 36a ~ 36c および絶縁層 39a ~ 39c がそれぞれ設けられた半導体チップ 31a ~ 31c を形成する。

これにより、突出部 36a ~ 36c がそれぞれ形成される複数の半導体チップ 31a ~ 31c の裏面全体に絶縁層 39a ~ 39c をそれぞれ一括形成することが可能となる。このため、下層の半導体チップに接続された導電性ワイヤが半導体チップ 31a ~ 31c の裏面とショートすることを防止するために、各半導体チップ 31a ~ 31c に個別に絶縁層 39a ~ 39c を形成する必要がなくなり、製造工程の煩雑化を抑制しつつ、ワイヤボンダ接続された下層の半導体チップ上に半導体チップ 31a ~ 31c を安定して積層することが可能となる。

【 0 0 6 2 】

図 6 は、本発明の第 3 実施形態に係る半導体装置の概略構成を示す断面図である。

図 6 (a) において、キャリア基板 4 1 の表面には導電性ワイヤ 4 4 d、4 5 d を接続するランド 4 2 が設けられるとともに、キャリア基板 4 1 の裏面には突出電極 4 3 が設けられている。また、半導体チップ 4 4 a、4 5 a には、導電性ワイヤ 4 4 d、4 5 d を接続する電極パッド 4 4 b、4 5 b がそれぞれ設けられ、半導体チップ 4 5 a の裏面には、半導体チップ 4 5 a に一体的に形成された突出部 4 5 e が設けられている。ここで、突出部 4 5 e の少なくとも一部の領域は、突出部 4 5 e の形成面に近づくにつれ広がる形状を有し、例えば、突出部 4 5 e にアール形状を持たせることができる。

【 0 0 6 3 】

これにより、半導体チップ 4 5 a の裏面に突出部 4 5 e を形成したために、半導体チップ 4 5 a の端部が薄型化した場合においても、半導体チップ 4 5 a の端部にかかる応力を効率よく逃がすことが可能となる。このため、半導体チップ 4 4 a に接続された導電性ワイヤ 4 4 d が半導体チップ 4 5 a の裏面に接触することを防止しつつ、半導体チップ 4 5 a の端部の強度を向上させることが可能となり、ワイヤボンド時の超音波振動などで半導体チップ 4 5 a が破壊することを防止することができる。

【 0 0 6 4 】

そして、キャリア基板 4 1 上には、接着層 4 4 c を介して半導体チップ 4 4 a がフェースアップ実装されている。さらに、半導体チップ 4 4 a 上には、突出部 4 5 e を介して半導体チップ 4 5 a がフェースアップ実装され、突出部 4 5 e は、絶縁性樹脂 4 5 c により半導体チップ 4 4 a 上に固着されている。ここで、絶縁性樹脂 4 5 c が突出部 4 5 e の周囲に食み出すようにすることにより、突出部 4 5 e が形成された半導体チップ 4 5 a の裏面の段差部分に絶縁性樹脂 4 5 c を充填し、半導体チップ 4 4 a 上の導電性ワイヤ 4 4 d を絶縁性樹脂 4 5 c で包み込んだり、半導体チップ 4 5 a の電極パッド 4 5 b 下を絶縁性樹脂 4 5 c で補強したりすることができる。

【0065】

そして、キャリア基板41上に実装された半導体チップ44aは、導電性ワイヤ44dを介してキャリア基板41のランド42に電氣的に接続されるとともに、突出部45eを介して半導体チップ44a上に積層された半導体チップ45aは、導電性ワイヤ45dを介してキャリア基板41のランド42に電氣的に接続されている。そして、導電性ワイヤ44d、45dがそれぞれ接続された半導体チップ44a、45aは封止樹脂46により封止されている。

【0066】

ここで、突出部45eの高さは、半導体チップ44a上に半導体チップ45aを積層した場合、半導体チップ45aの裏面に導電性ワイヤ44dが接触しないように設定することができる。また、突出部45eは、半導体チップ44aに接続された導電性ワイヤ44dを避けるように、半導体チップ44a上に配置することができる。

【0067】

なお、図6(a)の実施形態では、突出部45eの少なくとも一部の領域にアール形状を持たせる方法について説明したが、図6(b)に示すように、電極パット51bが表面に形成された半導体チップ51aの裏面の少なくとも一部の領域に、傾斜面51cを設けるようにしてもよい。また、図6(c)に示すように、電極パット52bが表面に形成された半導体チップ52aの裏面の少なくとも一部の領域に、傾斜面52dを介して突出部52cを設けるようにしてもよい。また、図6(d)に示すように、電極パット53bが表面に形成された半導体チップ53aの裏面の少なくとも一部の領域に、平坦面53dを介して傾斜面が設けられた突出部53cを設けるようにしてもよい。

【0068】

図7は、図6の半導体装置の突出部の製造方法を示す断面図である。

図7(a)において、半導体ウェハ61の表面はスクライブラインSB21～SB24で区画され、スクライブラインSB21～SB24で区画された各区画領域には、能動面がそれぞれ形成されるとともに、電極パッド62a～62cがそれぞれ設けられている。そして、半導体ウェハ61上に形成された能動面を避

けるようにして、半導体ウェハ 61 に開口部 63 を形成する。

【0069】

次に、図 7 (b) に示すように、開口部 63 が形成された半導体ウェハ 61 の裏面 61' を研削することにより、半導体ウェハ 61 を薄型化し、開口部 63 を貫通させることで、貫通孔 63' を半導体ウェハ 61 に形成する。

次に、図 7 (c) に示すように、貫通孔 63' が形成された半導体ウェハ 61 の能動面側にダイシングテープ 64 を貼り付ける。そして、貫通孔 63' を参照しながらブレード 65 の位置合わせを行うことにより、ブレード 65 の中央がスクライブライン SB21～SB24 の位置に対応するように配置する。ここで、ブレード 65 の先端は、丸みを帯びた形状を持たせることができる。そして、ブレード 65 を用いて半導体ウェハ 61 の裏面をハーフカットすることにより、アール形状を有する溝を半導体ウェハ 61 の裏面に形成し、アール形状を有する突出部 66a～66c をスクライブライン SB21～SB24 で区画された各区画領域に形成する。

【0070】

ここで、半導体ウェハ 61 の裏面に形成される溝の深さは、突出部 66a～66c が形成された半導体チップ 61a～61c を、ワイヤボンド接続された下層の半導体チップ上に積層した場合、下層の半導体チップに接続された導電性ワイヤが、半導体チップ 61a～61c の裏面に接触しないように設定することができる。また、ブレード 65 の幅は、下層の半導体チップに接続された導電性ワイヤを避けながら、突出部 66a～66c が形成された半導体チップ 61a～61c を下層の半導体チップ上に配置することができるように設定することができる。

【0071】

次に、図 7 (d) に示すように、突出部 66a～66c が形成された半導体ウェハ 61 からダイシングテープ 64 を剥がし、突出部 66a～66c を介して半導体ウェハ 61 の裏面側にダイシングテープ 67 を貼り付ける。

次に、図 7 (e) に示すように、ブレード 65 よりも幅の小さなブレード 68 を用い、スクライブライン SB21～SB24 に沿って半導体ウェハ 61 のフル

カットを行うことにより、アール形状を有する突出部 66a～66c が裏面にそれぞれ設けられた半導体チップ 61a～61c を形成する。

【0072】

これにより、半導体チップ 61a～61c の裏面に形成される突出部 66a～66c にアール形状をそれぞれ持たせることを可能としつつ、半導体チップ 61a～61c の裏面の突出部 66a～66c を一括形成することが可能となる。このため、半導体チップ 61a～61c の裏面に突出部 66a～66c を形成したために、半導体チップ 61a～61c の端部が薄型化した場合においても、製造工程の煩雑化を抑制しつつ、半導体チップ 61a～61c の端部の強度を向上させることが可能となり、ワイヤボンダ接続された半導体チップの積層構造を安定して製造することが可能となる。

【0073】

なお、図 7 の実施形態では、先端が丸みを帯びたブレードによるダイシングを行うことにより、アール形状を有する突出部 66a～66c を形成する方法について説明したが、等方性エッチングまたはレーザ加工により、アール形状を有する突出部 66a～66c を形成するようにしてもよい。また、ブレードの先端の形状を適宜変更することにより、ブレードの先端の形状に合わせて突出部 66a～66c の形状を変更するようにしてもよい。

【0074】

図 8 は、本発明の第 4 実施形態に係る半導体装置の概略構成を示す断面図である。

図 8 において、キャリア基板 71 の表面には導電性ワイヤ 74d、75d を接続するランド 72 が設けられるとともに、キャリア基板 71 の裏面には突出電極 73 が設けられている。また、半導体チップ 74a、75a には、導電性ワイヤ 74d、75d を接続する電極パッド 74b、75b がそれぞれ設けられ、半導体チップ 75a の裏面には、半導体チップ 75a に一体的に形成された突出部 75e が設けられている。また、半導体チップ 75a のサイズは、半導体チップ 74a のサイズよりも大きくすることができる。

【0075】

そして、キャリア基板 71 上には、接着層 74 c を介して半導体チップ 74 a がフェースアップ実装されている。さらに、半導体チップ 74 a 上には、突出部 75 e を介して半導体チップ 75 a がフェースアップ実装され、突出部 75 e は、絶縁性樹脂 75 c により半導体チップ 74 a 上に固着されているとともに、半導体チップ 75 a の端部が、半導体チップ 74 a から引き出された導電性ワイヤ 74 d 上に配置されている。これにより、製造工程を複雑化させることなく、導電性ワイヤ 74 d の配線領域上の空間を有効利用することが可能となり、半導体チップ 75 a 実装時の省スペース化を図ることが可能となる。

【0076】

ここで、絶縁性樹脂 75 c が突出部 75 e の周囲に食み出すようにすることにより、突出部 75 e が形成された半導体チップ 75 a の裏面の段差部分に絶縁性樹脂 75 c を充填し、半導体チップ 74 a 上の導電性ワイヤ 74 d を絶縁性樹脂 75 c で包み込んだり、半導体チップ 75 a の電極パッド 75 b 下を絶縁性樹脂 75 c で補強したりすることができる。

【0077】

そして、キャリア基板 71 上に実装された半導体チップ 74 a は、導電性ワイヤ 74 d を介してキャリア基板 71 のランド 72 に電氣的に接続されるとともに、突出部 75 e を介して半導体チップ 74 a 上に積層された半導体チップ 75 a は、導電性ワイヤ 75 d を介してキャリア基板 71 のランド 72 に電氣的に接続されている。そして、導電性ワイヤ 74 d、75 d がそれぞれ接続された半導体チップ 74 a、75 a は、封止樹脂 76 により封止されている。

【0078】

ここで、突出部 75 e の高さは、半導体チップ 74 a 上に半導体チップ 75 a を積層した場合、半導体チップ 75 a の裏面に導電性ワイヤ 74 d が接触しないように設定することができる。また、突出部 75 e は、半導体チップ 74 a に接続された導電性ワイヤ 74 d を避けるように、半導体チップ 74 a 上に配置することができる。

【0079】

図 9 は、本発明の第 5 実施形態に係る半導体装置の概略構成を示す断面図であ

る。

図9において、リードフレーム81には、半導体チップ84aをダイボンドするダイパッド82が設けられるとともに、導電性ワイヤ84d、85dを接続するリード83が設けられている。また、半導体チップ84a、85aには、導電性ワイヤ84d、85dを接続する電極パッド84b、85bがそれぞれ設けられ、半導体チップ85aの裏面には、半導体チップ85aに一体的に形成された突出部85eが設けられている。

【0080】

そして、リードフレーム81のダイパッド82上には、接着層84cを介して半導体チップ84aがフェースアップ実装されている。さらに、半導体チップ84a上には、突出部85eを介して半導体チップ85aがフェースアップ実装され、突出部85eは、絶縁性樹脂85cにより半導体チップ84a上に固着されている。

【0081】

そして、ダイパッド82上にダイボンドされた半導体チップ84aは、導電性ワイヤ84dを介してリードフレーム81のリード83に電氣的に接続されるとともに、突出部85eを介して半導体チップ84a上に積層された半導体チップ85aは、導電性ワイヤ85dを介してリードフレーム81のリード83に電氣的に接続されている。そして、導電性ワイヤ84d、85dがそれぞれ接続された半導体チップ84a、85aは、封止樹脂86により封止されている。

【0082】

ここで、突出部85eの高さは、半導体チップ84a上に半導体チップ85aを積層した場合、導電性ワイヤ84dが半導体チップ85aの裏面に接触しないように設定することができる。また、突出部85eは、半導体チップ84aに接続された導電性ワイヤ84dを避けるように、半導体チップ84a上に配置することができる。また、絶縁性樹脂85cが突出部85eの周囲に食み出すようにすることにより、突出部85eが形成された半導体チップ85aの裏面の段差部分に絶縁性樹脂85cを充填し、半導体チップ84a上の導電性ワイヤ84dを絶縁性樹脂85cで包み込んだり、半導体チップ85aの電極パッド85b下を

絶縁性樹脂 85c で補強したりすることができる。

【0083】

これにより、半導体チップ 84a、85a の積層構造をリードフレーム 81 にマウントする場合においても、半導体チップ 85a の裏面に導電性ワイヤ 84d が接触することを防止しつつ、導電性ワイヤ 84d が接続された半導体チップ 84a 上に半導体チップ 85a を積層することが可能となり、半導体装置のコストダウンを図ることが可能となる。

【0084】

図 10 は、本発明の第 6 実施形態に係る半導体装置の概略構成を示す断面図である。

図 10 において、キャリア基板 91 の表面には、導電性ワイヤ 95d、96d を接続するランド 92a が設けられるとともに、突出電極 94c を接合するランド 92b が設けられ、キャリア基板 91 の裏面には突出電極 93 が設けられている。また、半導体チップ 94a には、突出電極 94c が配置された電極パッド 94b が設けられている。また、半導体チップ 95a、96a には、導電性ワイヤ 95d、96d を接続する電極パッド 95b、96b がそれぞれ設けられ、半導体チップ 96a の裏面には、半導体チップ 96a に一体的に形成された突出部 96e が設けられている。なお、突出電極 93、94c としては、例えば、Au バンプ、半田材などで被覆された Cu バンプや Ni バンプ、あるいは半田ボールなどを用いることができる。

【0085】

そして、キャリア基板 91 上には、突出電極 94c を介して半導体チップ 94a がフリップチップ実装されている。なお、突出電極 94c を介して半導体チップ 94a をキャリア基板 91 上にフリップチップ実装する場合、例えば、ACF 接合、NCF 接合、ACP 接合、NCP 接合などの接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。

【0086】

また、フリップチップ実装された半導体チップ 94a の裏面上には、接着層 95c を介して半導体チップ 95a がフェースアップ実装されている。さらに、半

導体チップ95a上には、突出部96eを介して半導体チップ96aがフェースアップ実装され、突出部96eは、絶縁性樹脂96cにより半導体チップ95a上に固着されている。

【0087】

そして、半導体チップ94aの裏面上に実装された半導体チップ95aは、導電性ワイヤ95dを介してキャリア基板91のランド92aに電氣的に接続されるとともに、絶縁性樹脂97を介して半導体チップ95a上に積層された半導体チップ96aは、導電性ワイヤ96dを介してキャリア基板91のランド92aに電氣的に接続されている。そして、フリップチップ実装された半導体チップ94aおよび導電性ワイヤ95d、96dがそれぞれ接続された半導体チップ95a、96aは、封止樹脂97により封止されている。

【0088】

ここで、突出部96eの高さは、半導体チップ95a上に半導体チップ96aを積層した場合、導電性ワイヤ95dが半導体チップ96aの裏面に接触しないように設定することができる。また、突出部96eは、半導体チップ95aに接続された導電性ワイヤ95dを避けるように、半導体チップ95a上に配置することができる。また、絶縁性樹脂96cが突出部96eの周囲に食み出すようにすることにより、突出部96eが形成された半導体チップ96aの裏面の段差部分に絶縁性樹脂96cを充填し、半導体チップ95a上の導電性ワイヤ95dを絶縁性樹脂96cで包み込んだり、半導体チップ96aの電極パッド96b下を絶縁性樹脂96cで補強したりすることができる。

【0089】

これにより、半導体チップ95a上に半導体チップ96aを積層することで、半導体チップ96aの裏面に導電性ワイヤ95dが接触することを防止しつつ、半導体チップ95a、96aを固定することが可能となるとともに、高さの増大を抑制しつつ、半導体チップ95aとキャリア基板91との間に半導体チップ94aを介装することが可能となる。このため、工程数の増大を抑制しつつ、ワイヤボンダ接続された半導体チップ95a上に半導体チップ96aを積層することが可能となるとともに、省スペース化を可能としつつ、半導体チップ94a～9

6 a の積層数を増加させることが可能となる。

【0090】

なお、上述した半導体装置は、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器のコストダウンを図ることができる。

【図面の簡単な説明】

【図1】 第1実施形態に係る半導体装置の概略構成を示す断面図。

【図2】 図1の半導体装置の製造方法を示す断面図。

【図3】 図1の半導体装置の製造方法を示す断面図。

【図4】 第2実施形態に係る半導体装置の概略構成を示す断面図。

【図5】 図4の半導体装置の製造方法を示す断面図。

【図6】 第3実施形態に係る半導体装置の概略構成を示す断面図。

【図7】 図6の半導体装置の製造方法を示す断面図。

【図8】 第4実施形態に係る半導体装置の概略構成を示す断面図。

【図9】 第5実施形態に係る半導体装置の概略構成を示す断面図。

【図10】 第6実施形態に係る半導体装置の概略構成を示す断面図。

【図11】 従来の半導体装置の概略構成を示す断面図。

【符号の説明】

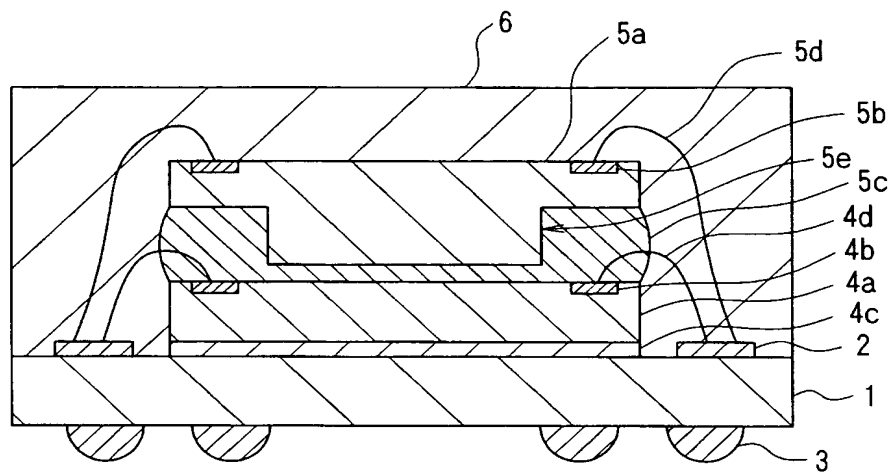
1、21、41、71、91 キャリア基板、2、22、42、72、92 a、92 b ランド、3、23、43、73、93、94 c 突出電極、4 a、5 a、11 a～11 c、24 a、25 a、31 a～31 c、44 a、45 a、51 a、52 a、53 a、61 a～61 c、74 a、75 a、84 a、85 a、94 a、95 a、96 a 半導体チップ、4 b、5 b、12 a～12 c、24 b、25 b、32 a～32 c、44 b、45 b、51 b、52 b、53 b、62 a～62 c、74 b、75 b、84 b、85 b、94 b、95 b、96 b 電極パッド、4 c、24 c、44 c、74 c、84 c、95 c 接着層、5 c、25 c、45 c、75 c、85 c 絶縁性樹脂、4 d、5 d、24 d、25 d、44 d、45 d、74 d、75 d、84 d、85 d、95 d、96 d 導電性ワイヤ、5 e

、25e、16a～16c、36a～36c、45e、51c、52c、53c
、66a～66c、75e、85e、96e 突出部、6、46、76、86、
97 封止樹脂、SB1～SB4、SB11～SB14、SB21～SB24
スクライブライン、11、31、61 半導体ウェハ、11'、61' 裏面、
13、63 開口部、13'、33、63' 貫通孔、14、17、34、37
、64、67 ダイシングテープ、15、18、35、38、65、68 ブレ
ード、25f、39、39a～39c 絶縁層、52d 傾斜面、53d 平坦
面、81 リードフレーム、82 ダイパッド、83 リード

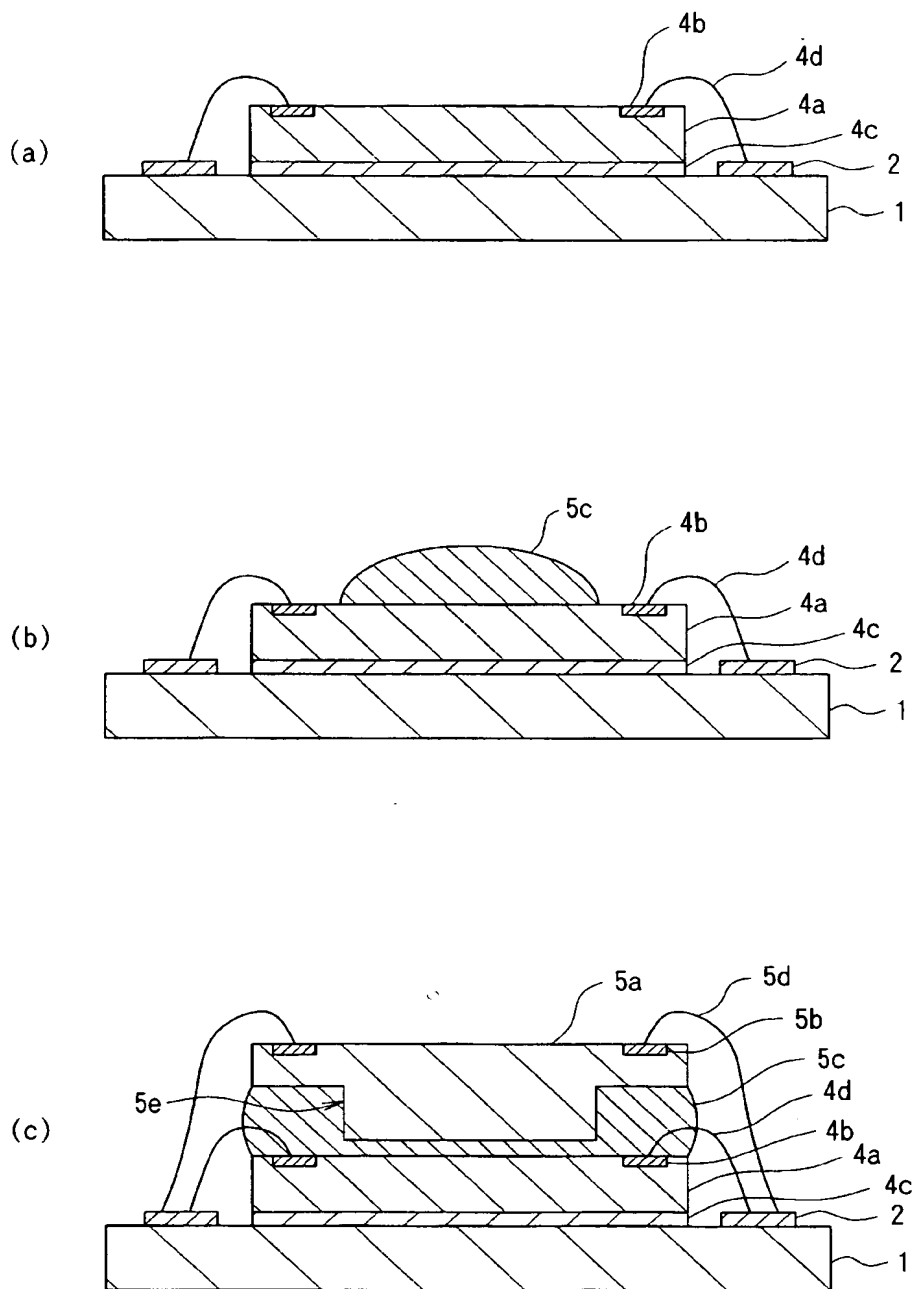
【書類名】

図面

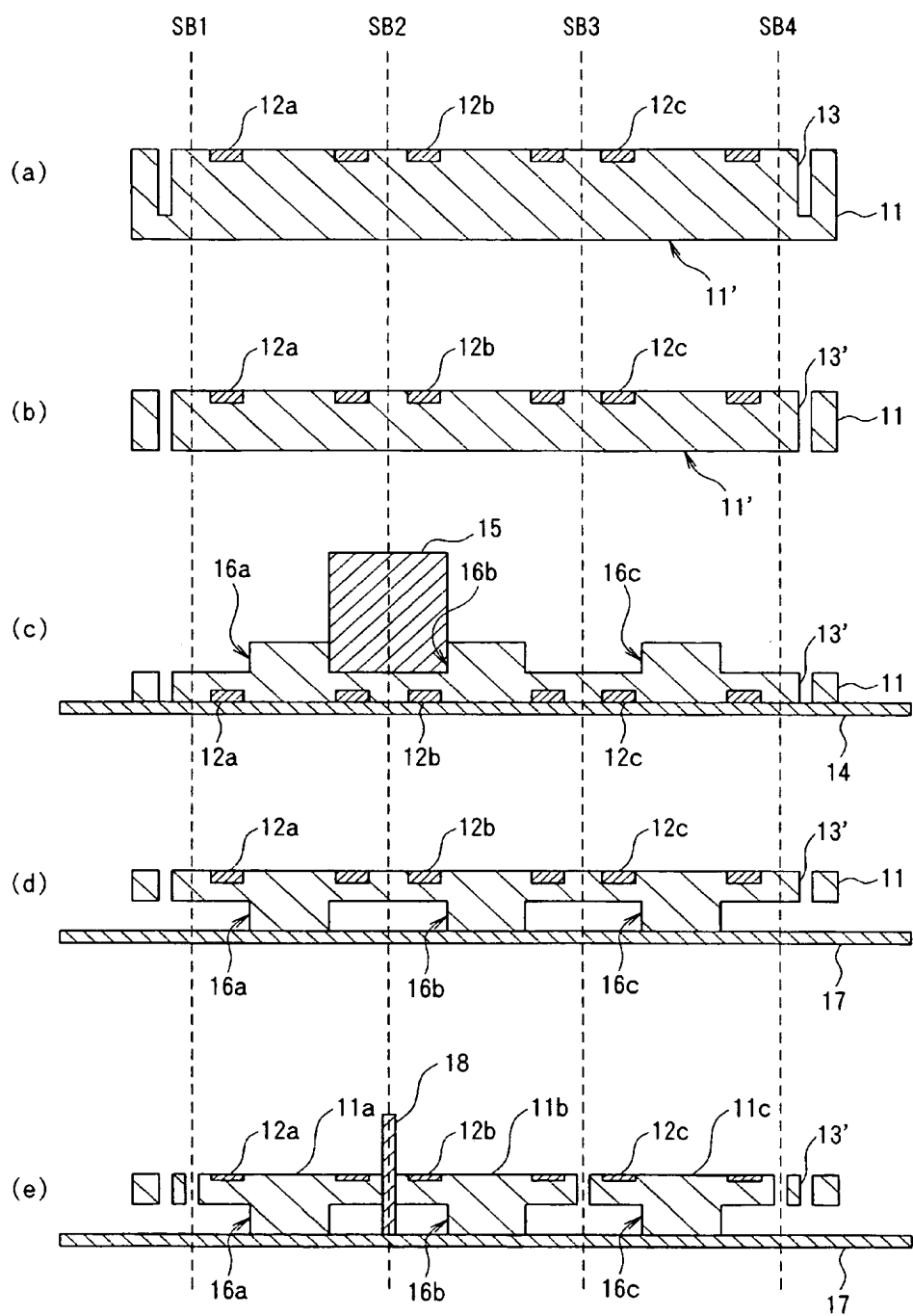
【図 1】



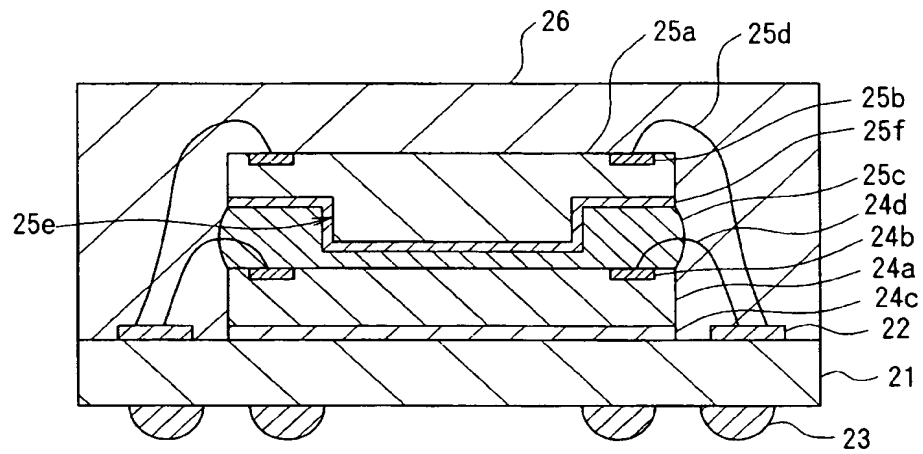
【図 2】



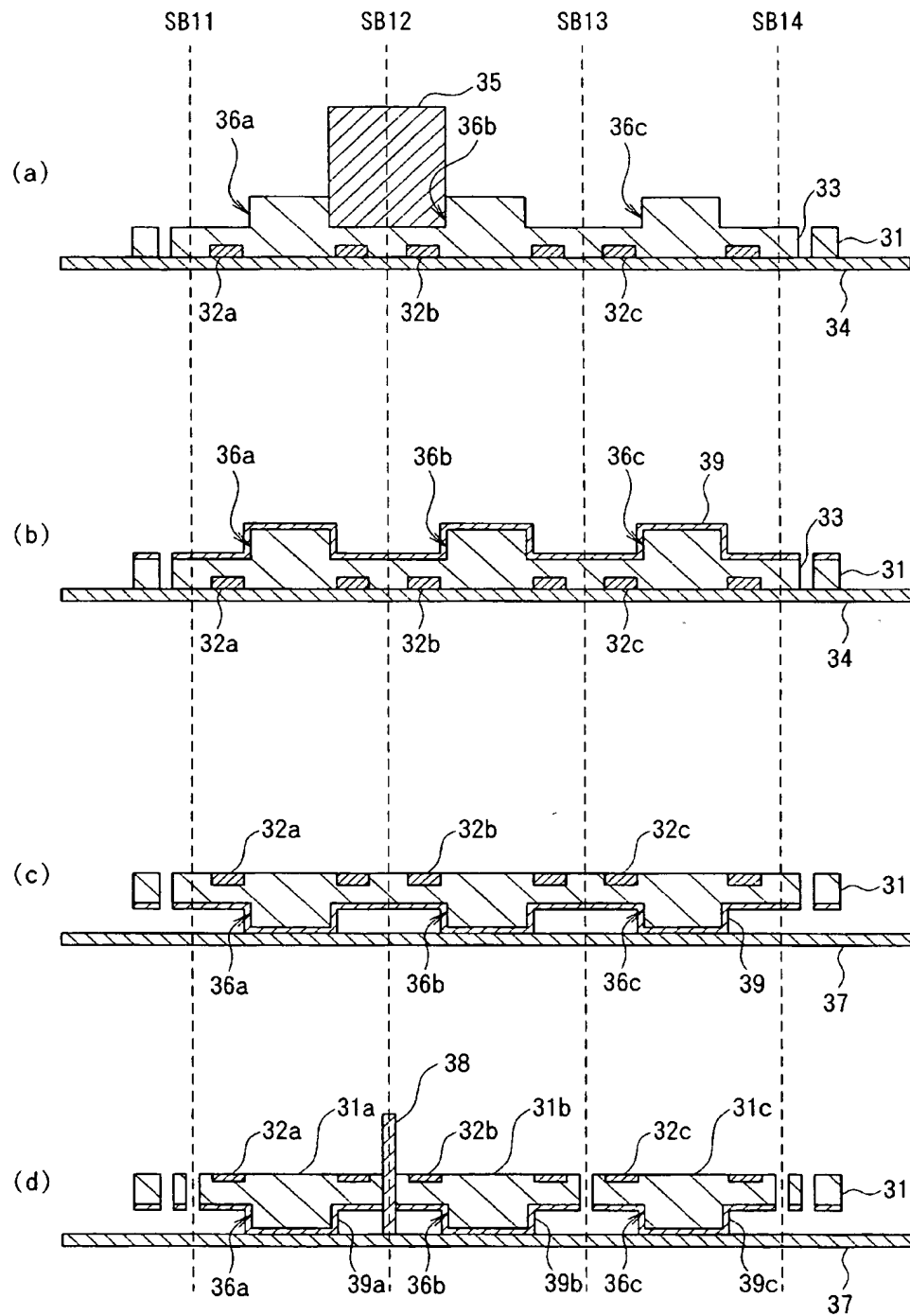
【図 3】



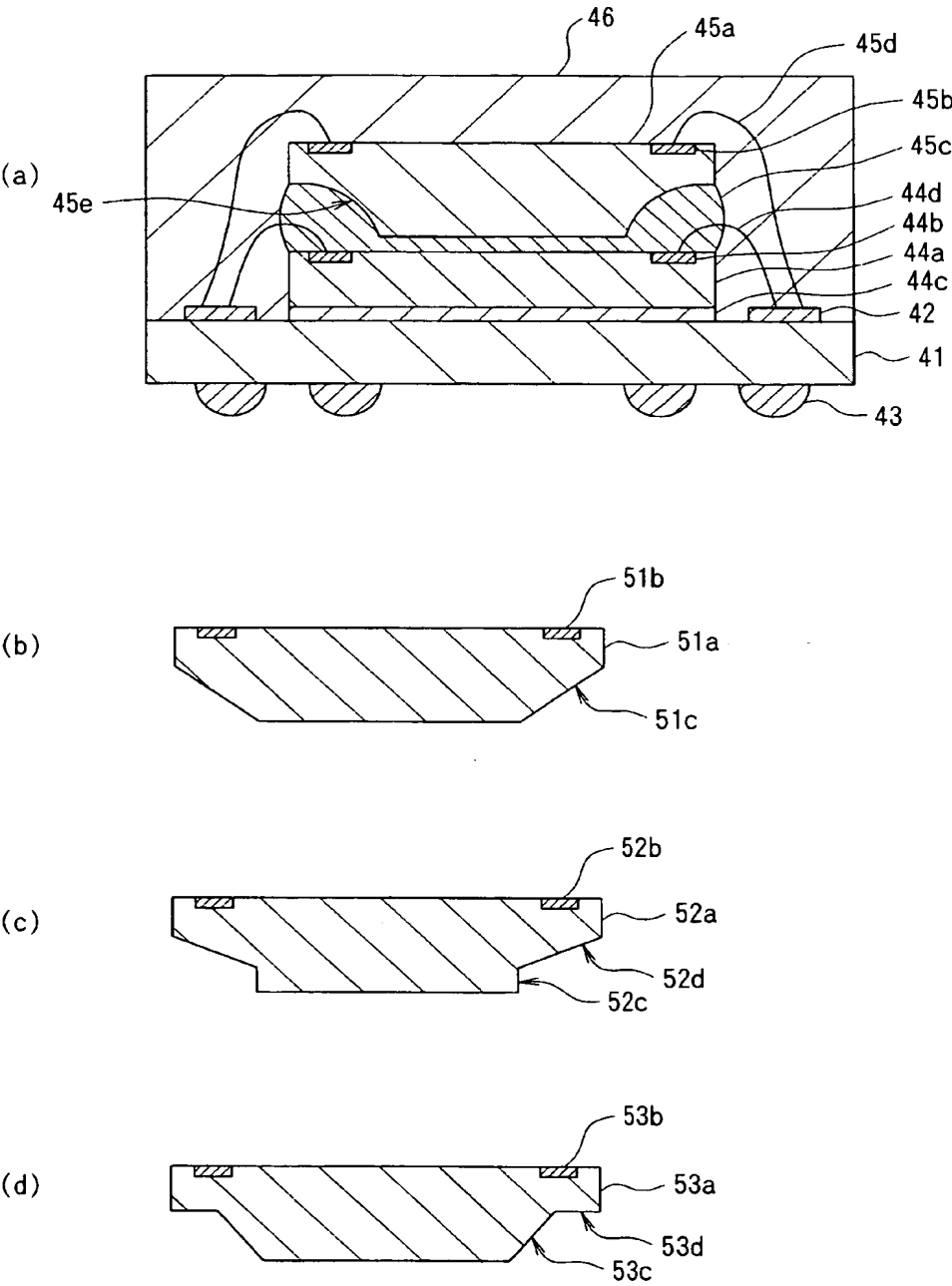
【図 4】



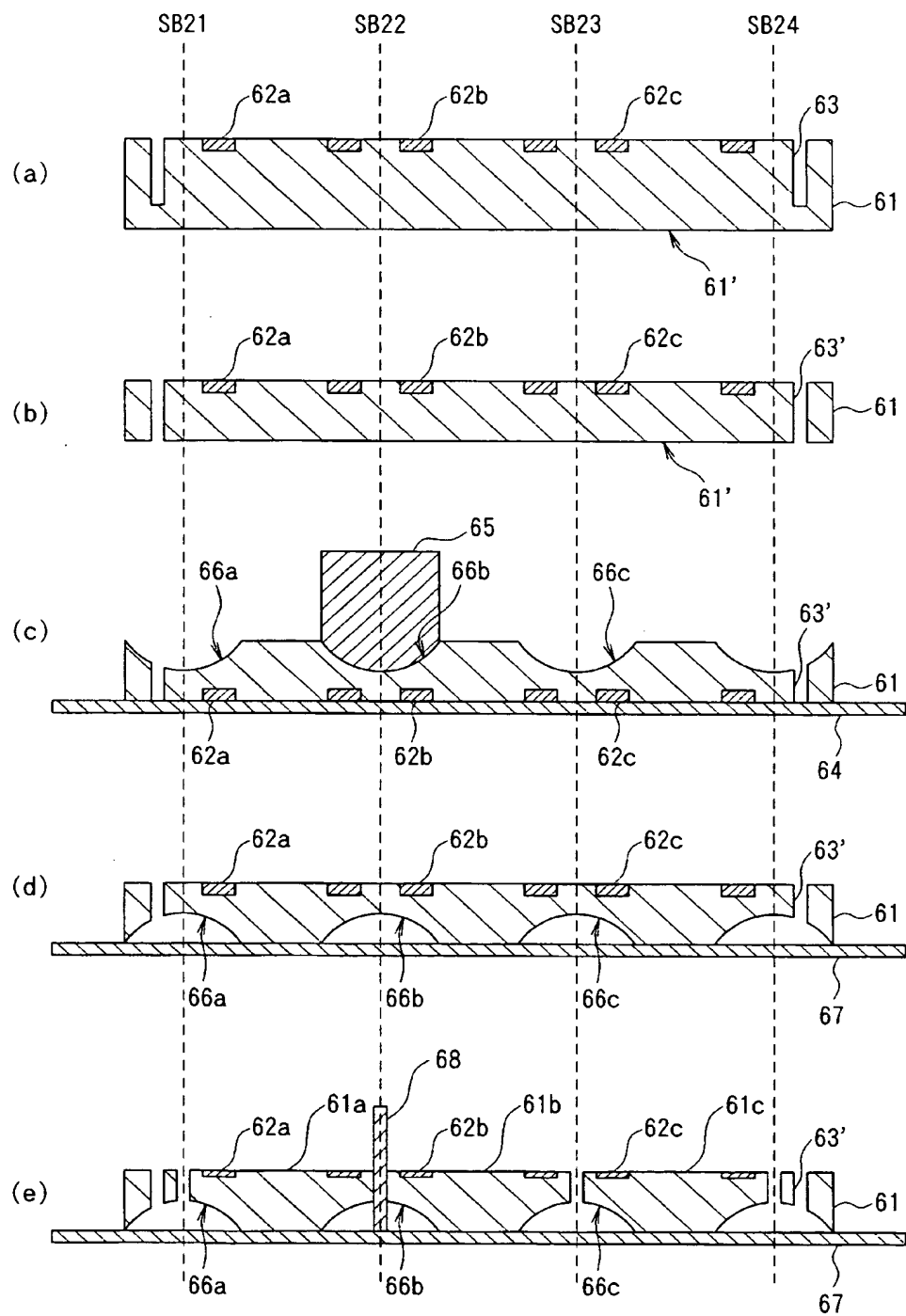
【図 5】



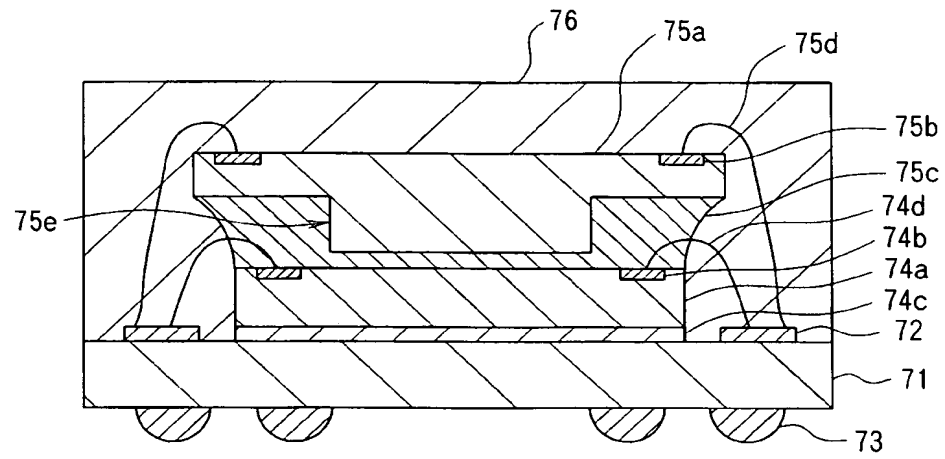
【図 6】



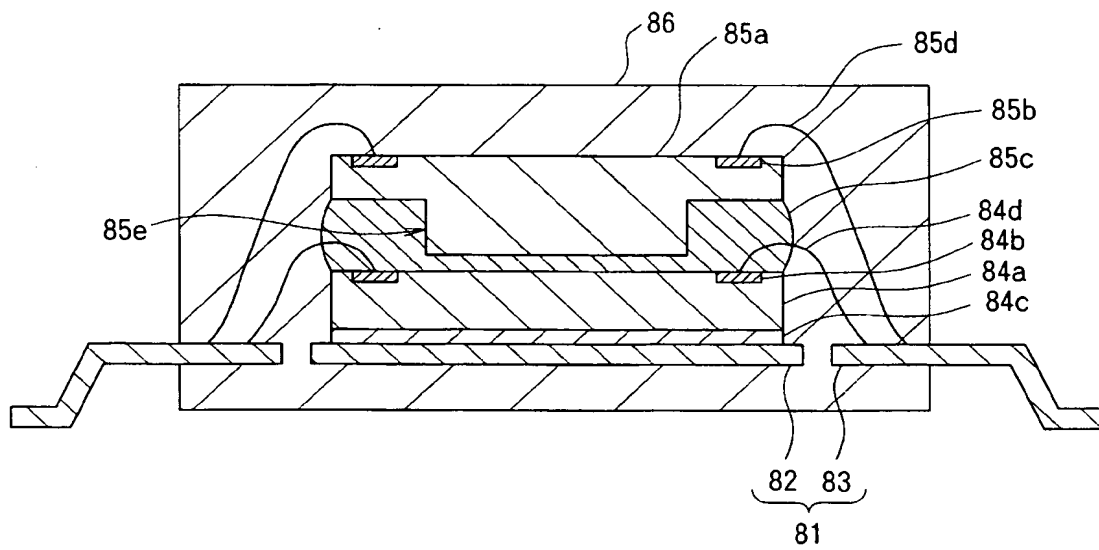
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 工程数の増大を抑制しつつ、積層される半導体チップ間の間隔を増大させる。

【解決手段】 半導体チップ 5 a に一体的に形成された突出部 5 e を半導体チップ 5 a の裏面に設け、突出部 5 e を介して半導体チップ 5 a を半導体チップ 4 a 上にフェースアップ実装し、絶縁性樹脂 5 c により突出部 5 e を半導体チップ 4 a 上に固着する。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 9 5 9 7 5
受付番号	5 0 3 0 0 5 3 3 6 1 5
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 1 日

< 認定情報・付加情報 >

【提出日】 平成15年 3月31日

次頁無

特願 2 0 0 3 - 0 9 5 9 7 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 0 日
新規登録

住 所
氏 名

東京都新宿区西新宿 2 丁目 4 番 1 号
セイコーエプソン株式会社